

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :
Yasuhiro DOUMAE :
Serial No.: [NEW] : Attn: Applications Branch
Filed: January 14, 2002 : Attorney Docket No.: OKI.293
For: METHOD OF MANUFACTURING FIELD EFFECT TRANSISTOR



#5
9

4-16-02

T. Flowers

CLAIM OF PRIORITY

Honorable Assistant Commissioner for Patents and Trademarks,
Washington, D.C. 20231

Sir:

Applicant, in the above-identified application, hereby claims the priority date
under the International Convention of the following Japanese application:

Appln. No. 2001-214613 filed July 16, 2001

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC

A handwritten signature in black ink, appearing to read "Adam C. Volentine".

Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: January 14, 2002

日 本 国 特 許 庁
JAPAN PATENT OFFICE

J1011 U.S. PTO
10/043237
01/14/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 7月16日

出 願 番 号

Application Number:

特願2001-214613

出 願 人

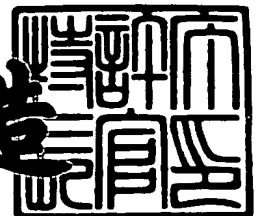
Applicant(s):

沖電気工業株式会社

2001年 8月31日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3079159

【書類名】 特許願

【整理番号】 SA003664

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/82

【発明者】

 【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社
 社内

 【氏名】 堂前 泰宏

【特許出願人】

 【識別番号】 000000295

 【氏名又は名称】 沖電気工業株式会社

【代理人】

 【識別番号】 100082050

 【弁理士】

 【氏名又は名称】 佐藤 幸男

【手数料の表示】

 【予納台帳番号】 058104

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9100477

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 電界効果型トランジスタの製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上に設けられるゲート電極と、前記半導体基板上で前記ゲート電極の両側に形成されるソース／ドレインのための一对の第 1 の不純物領域と、該両不純物領域の一方から他方へ向けての空乏層の伸長を規制すべく前記両不純物領域間に形成される一对の第 2 の不純物領域であって相互に間隔をおいて形成され前記第 1 の不純物領域の導電型と異なる導電型を示す一对の第 2 の不純物領域とを備える電界効果型トランジスタの製造方法であって、

半導体基板上にゲート電極のための導電層を形成すること、前記導電層上に、該導電層の不要部分をフォトリソグラフィ技術で除去すべく、前記ゲート電極のためのエッチングマスクを形成すること、該エッチングマスクをイオン注入用マスクとして、前記導電層の下方に位置する前記半導体基板の所定領域に前記第 2 の不純物領域を形成するための不純物をイオン注入法により注入することを含む、電界効果型トランジスタの製造方法。

【請求項 2】 前記エッチングマスクは、ゲート長を規定する所望の幅寸法を有し、前記イオンの注入は、前記エッチングマスクの斜め上方から前記基板の前記エッチングマスク下へ向けて角度的に行われる請求項 1 記載の製造方法。

【請求項 3】 前記エッチングマスクは、ゲート長を規定する所望の幅寸法よりも小さな幅寸法を有し、前記イオン注入は、前記エッチングの上方から前記基板へ向けて該基板の表面に関してほぼ直角に行われる請求項 1 記載の製造方法。

【請求項 4】 前記エッチングマスクには、前記イオン注入後、前記エッチングマスクに、実質的に前記所望の幅寸法を与えるためのサイドウォールが形成され、該サイドウォールを含む前記エッチングマスクをレジストマスクとするエッチング処理により、前記導電層の不要部分が除去され、これにより所定のゲート長を規定するゲート電極が形成される請求項 3 記載の製造方法。

【請求項 5】 前記エッチングマスクを用いたイオン注入の後、前記エッチングマスクをレジストマスクとするエッチング処理により、所定のゲート長を確

保すべく、下方へ向けてその幅方向寸法を増大させるゲート電極を形成することを特徴とする請求項 3 記載の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、MOSトランジスタのような電界効果型トランジスタの製造方法に関する。

【0002】

【従来の技術】

MOSトランジスタでは、半導体基板上のゲート電極の両側で相互に間隔をおいて前記半導体基板に形成された一对の不純物領域から成るソース／ドレイン間に電圧が印加された状態で、前記ゲート電極に印加されるゲート電圧を制御することにより、ソース／ドレイン間のドレイン電流を制御することができる。

ところで、ソース／ドレイン間に電圧が印加されると、ドレインからソースに向けて空乏層が伸長する。この空乏層の過度の伸長は、前記トランジスタの閾値電圧の低下を招くことから、前記空乏層の伸長を抑制すべく、前記したソース／ドレインのための一对の第1の不純物領域間に、該不純物領域の導電型とは逆の導電型を示す一对の第2の不純物領域を形成することが試みられている。

【0003】

この第2の不純物領域は、一对の第1の不純物領域のそれぞれの先端から、前記ゲート電極の下方で相互に相近づく方向へ伸びる。この一对の第2の不純物領域は、これらが相互に連続するとドレイン電流の低減を招くことから、このドレイン電流の低減を防止すべく一对の第2の不純物領域が相互に連続することなく互いに間隔をおくように、しかしながら、低い不純物濃度で前記空乏層の比較的高い伸長抑制効果を得る上で、ゲート電極下にできる限り長く伸長させることが望ましい。

【0004】

そのため、前記した第2の不純物領域の形成のために、従来では、ゲート電極の形成後、該ゲート電極を選択マスクとして、前記基板の所定箇所に不純物がイ

オン注入法により注入されている。また、第2の不純物領域をできる限りゲート電極下で長く伸長させるべく、この第2の不純物領域のための不純物は、ゲート電極の斜め上方から該ゲート電極下へ向けて、俯角が小さくなるように、すなわち、前記基板表面と垂直な線に関しての不純物の注入角度が大きくなるように、角度的に注入されている。

【0005】

【発明が解決しようとする課題】

しかしながら、複数のゲート電極が平行して形成されている場合、第2の不純物領域を比較的長く伸長させるために、前記した不純物の注入角度を大きく設定すると、隣り合うゲート電極が影になることがあり、しかもゲート電極間の間隔が異なると、各トランジスタ毎にゲート電極の影となる度合いが異なることから、前記第2の不純物領域の不純物濃度にばらつきを生じることとなり、各トランジスタの電気特性にばらつきが生じてしまう。

そのため、従来の製造方法では、比較的低い不純物濃度のイオン注入により、ソース／ドレイン間の空乏層の伸びを効果的に抑制し得る電界効果型トランジスタを製造することは容易ではなかった。

【0006】

そこで、本発明の目的は、電気特性のばらつきを招くことなく、前記したソース／ドレイン間の空乏層の伸びを効果的に抑制し得る電界効果型トランジスタを比較的容易に製造することができる方法を提供することにある。

さらに、本発明の他の目的は、比較的低い不純物濃度で前記空乏層の伸びを効果的に抑制し得る電界効果型トランジスタを比較的容易に製造することができる方法を提供することにある。

【0007】

【課題を解決するための手段】

本発明は、前記した目的を達成するために、次の構成を採用する。

〈構成〉

本発明は、半導体基板上に設けられるゲート電極と、前記半導体基板上で前記ゲート電極の両側に形成されるソース／ドレインのための一対の第1の不純物領

域と、該両不純物領域の一方から他方へ向けての空乏層の伸長を規制すべく前記両不純物領域間に形成される一对の第2の不純物領域であって相互に間隔をおいて形成され前記第1の不純物領域の導電型と異なる導電型を示す一对の第2の不純物領域とを備える電界効果型トランジスタを製造する方法であって、半導体基板上にゲート電極のための導電層を形成した後、前記導電層上に、該導電層の不要部分をフォトリソグラフィ技術で除去すべく、前記ゲート電極のためのエッチングマスクを形成し、該エッチングマスクをイオン注入用マスクとして、前記導電層の下方に位置する前記半導体基板の所定領域に前記第2の不純物領域を形成するための不純物をイオン注入法により注入することを特徴とする。

【0008】

〈作用〉

本発明に係る前記製造方法では、ゲート電極の形成に先立ち、該ゲート電極の形成に使用されるエッチングマスクを選択マスクとして前記第2の不純物領域のための不純物の注入が行われる。

前記選択マスクは、一对の第2の不純物領域が連続して形成されることを防止する。また、選択マスク下の前記導電層は、ゲート電極への加工前の状態であることから、ゲート電極間隔の如何に拘わらず連続し、そのために、第2の不純物のイオン注入の濃度に関して全体的に均等な影響を与えるが、従来のゲート電極におけるような部分的な影響を与えることはない。

【0009】

また、選択マスクは、不純物の斜め注入に影となり得るが、該選択マスクは、従来の選択マスクとして使用されていたゲート電極から前記基板の所定の注入部位までの深さ距離に比較して、前記導電層の厚さ分、大きな距離を置く。従って、従来と同様な角度で前記イオン注入が行われても、このイオン注入により形成される第2の不純物領域を従来に比較して、ゲート電極下で、前記導電層の厚さ分に応じて、より長く伸長させることができる。

【0010】

従って、本発明に係る前記方法によれば、従来に比較して空乏層の伸長抑制効果に優れた電界効果型トランジスタを比較的容易に形成することができる。さら

に、本発明に係る前記方法によれば、従来に比較して低い不純物濃度でもって従来におけると同様な空乏層伸長抑制効果を得ることができ、しかもゲート電極間隔の如何に拘わらず電気特性にばらつきの無い電界効果型トランジスタを比較的容易に製造することが可能となる。

【 0 0 1 1 】

前記エッチングマスクは、ゲート長を規定する所望の幅寸法に形成することができ、前記イオンの注入は、従来におけると同様に、前記エッチングマスクの斜め上方から前記基板の前記エッチングマスク下へ向けて角度的に行うことができる。

【 0 0 1 2 】

これに代えて、前記エッチングマスクは、ゲート長を規定する所望の幅寸法よりも小さな幅寸法で形成することができる。この場合、前記イオン注入は、前記エッチングの上方から前記基板へ向けて該基板の表面に関してほぼ直角に行うことができる。

所望の幅寸法よりも小さな幅寸法を有する前記エッチングマスクには、前記イオン注入後、前記エッチングマスクに実質的に前記所望の幅寸法を与えるためのサイドウォールが形成される。このサイドウォールを含む前記エッチングマスクをレジストマスクとするエッチング処理により、前記導電層の不要部分を除去することにより、従来におけると同様な所定のゲート長を規定するゲート電極が形成できる。

【 0 0 1 3 】

また、所望の幅寸法よりも小さな幅寸法を有する前記エッチングマスクを用いて前記したイオン注入を行った後、前記エッチングマスクに前記したようなサイドウォールを設けることに代えて、前記エッチングマスクをレジストマスクとするエッチング処理により、下方へ向けてその幅方向寸法を増大させるテーパ状のゲート電極を形成し、これにより所定のゲート長を確保することができる。

【 0 0 1 4 】

【発明の実施の形態】

以下、本発明を図示の実施の形態について詳細に説明する。

〈具体例 1〉

図 1 は、本発明に係る電界効果型トランジスタの製造方法を n 型 MOS トランジスタの製造に適用した例を示す。

図 1 (a) に示されているように、例えば (100) 面を有する P 型シリコン基板からなる半導体基板 10 上には、素子分離領域 11 (11a および 11b) により、複数の活性領域 12 (12a、12b および 12c) が区画される。図 1 (a) では、明示されないが、図中最右方に示される活性領域 12c は、図中右方に位置する一方の素子分離領域 11a の背面に伸長しており、この素子分離領域 11a により、活性領域 12b から区画されている。前記素子分離領域 11 は、例えば従来よく知られた LOCOS 法あるいはトレンチ法等を用いて形成することができる。

【0015】

素子分離領域 11 により区画された各活性領域 12 には、必要に応じて、閾値調整用の不純物がイオン注入法により、導入される。この閾値調整用不純物として、半導体基板 10 の導電型と同一の p 型の導電型を示す例えばボロンが用いられる。この不純物は、従来よく知られているように、前記活性領域 12 の不純物濃度を均等に高めることにより、後述するトランジスタの閾値を設計された適正値に保持する。

【0016】

図 1 (b) に示されているように、前記活性領域 12 の表面の酸化により、前記活性領域の表面には、従来よく知られたゲート酸化膜 13 が形成される。ゲート酸化膜 13 の形成後、該ゲート酸化膜および素子分離領域 11 を覆うように、ゲート電極のための導電層 14 が、例えば従来よく知られた CVD 法により、形成される。

【0017】

導電層 14 上には、該導電層の不要部分を除去してゲート電極を形成するためのエッチングマスク 15 (15a、15b および 15c) が形成される。エッチングマスク 15 は、図示しないが、導電層 14 上に堆積した例えば二酸化シリコンからなる絶縁層に従来よく知られたフォトリソグラフィおよびエッチング処理

を施すことにより形成することができる。また、エッチングマスク 1 5 は、前記したフォトリソグラフィで用いられるフォトレジストで形成することができる。

【 0 0 1 8 】

図 1 (b) に示す例では、3つのエッチングマスク 1 5 a、1 5 b および 1 5 c のうち、中央に配置されたエッチングマスク 1 5 b は、細幅寸法 $W 1$ を有し、その両側に配置された両エッチングマスク 1 5 a および 1 5 c は、互いに等しい太幅寸法 $W 2$ を有する。これら幅寸法は、それぞれの所望のゲート長寸法 ($W 1$ または $W 2$) に等しく設定されている。

【 0 0 1 9 】

従来では、従来技術の項で説明したとおり、各エッチングマスク 1 5 を用いた選択エッチング処理により該マスク下の導電層 1 4 の不要部分を除去した後、イオン注入が行われていたが、本発明に係る方法では、導電層 1 4 の選択エッチング処理に先立ち、イオン注入が行われる。

【 0 0 2 0 】

すなわち、図 1 (c) に示されているように、前記導電層 1 4 上の各エッチングマスク 1 5 をマスクとして、イオン注入法により、例えばボロンのような p 型不純物が、図中左方上方および図中右方上方からそれぞれ半導体基板 1 0 へ向けて注入される。図 1 (c) には、両方向からのそれぞれのイオン注入角度 θ が、半導体基板 1 0 の表面の垂直線 1 6 と注入方向との交角で示されている。

【 0 0 2 1 】

両方向からの一括的なイオン注入により、半導体基板 1 0 には、各マスク 1 5 に対応して、その下方に p 型からなる一対の不純物領域 1 7 が形成される。

各活性領域 1 2 で、対をなして形成される各不純物領域 1 7 は、素子分離領域 1 1 から互いに相近づくようにエッチングマスク 1 5 が配置された各活性領域 1 2 の中央部に向けて伸長するが、各マスク 1 5 のマスク作用により、各不純物領域 1 7 の先端部は、対応する各マスク 1 5 の前記幅寸法 ($W 1$ または $W 2$) に対応して、それらよりも小さな所定の間隔 ($W 3$ および $W 4$) をおくように、形成される。

【 0 0 2 2 】

本発明に係る前記方法では、注入角度 θ が従来と同一角度であっても、イオンの入射面となる導電層14表面から注入部位までの深さ寸法が前記導電層14の厚さ寸法分、増大する。この増大は、各一对の不純物領域17が、各活性領域12の中央部に、従来に比較して、より長く伸長することを意味する。従って、前記間隔W3およびW4は、従来と同一幅寸法(W1およびW2)を有するエッチングマスク15を用いても、従来のそれに比較して小さく設定される。

【0023】

前記不純物領域17の形成後、図1(d)に示されているように、前記導電層14が各エッチングマスク15を用いた従来よく知られた選択エッチング処理により、各エッチングマスク15から露出する不要部分が除去される。この不要部分の除去により、各ゲート電極14a、14bおよび14cが形成される。

【0024】

各ゲート電極14a、14bおよび14cからは、活性領域12上にゲート酸化膜13の不要部分が張り出す。図示の例では、ゲート酸化膜13の前記した不要部分を保護膜として、不純物が、イオン注入法により、各ゲート電極14a、14bおよび14cの両側に注入される。この不純物の注入には、例えば砒素のような半導体基板10の導電型と異なる導電型であるn型の不純物が用いられ、後述するソース／ドレインの不純物濃度よりも低い不純物濃度で注入される。この不純物注入により、従来におけると同様なLDD領域18が形成される。LDD領域18は、従来よく知られているように、ソース／ドレイン間の電界緩和により、ホットキャリアの発生を抑制する作用をなす。このLDD領域18を不要とすることができる。

【0025】

その後、各ゲート電極14a、14bおよび14c上の各エッチングマスク15が除去され、各ゲート電極14a、14bおよび14cの両側には、それぞれサイドウォール19が形成される。このサイドウォール19は、従来よく知られているように例えばCVD法により絶縁材料で各ゲート電極14a、14bおよび14cを埋め込んだ後、この絶縁材料のサイドウォール19となる部分を除く不要部分をエッチングにより除去することにより、形成することができる。

【0026】

ゲート電極14a、14bおよび14cのそれぞれにサイドウォール19を形成した後、これらを選択マスクとして、従来よく知られているように、半導体基板10の導電型と異なるソース／ドレインのためのn型の不純物である例えば砒素が、イオン注入法により、半導体基板10上の各ゲートの両側に注入される。

この不純物注入により、各ゲート電極(14a、14bおよび14c)に対応して、それらの両側にソース／ドレインのための不純物領域20が形成され、その後、前記各不純物領域の活性化のために半導体基板10に所定の熱処理が施されることにより、各n型MOSトランジスタ21(21a、21bおよび21c)が形成される。

【0027】

本発明に係る前記各n型MOSトランジスタ21(21a、21bおよび21c)では、ソース／ドレインのための第1の不純物領域20間に該不純物領域の導電型と異なる導電型を示す第2の不純物領域17を形成するためのイオン注入が、前記したように、各ゲート電極14a、14bおよび14cの形成前に行われることから、従来と同一のイオン注入角度 θ で行われる斜めイオン注入であっても、各トランジスタ21のゲート電極(14a、14bおよび14c)下で、相互に相近づくように、従来に比較して長く伸長させて形成することができる。

【0028】

従って、各不純物領域17の濃度を従来と同一に設定しても、前記第2の不純物領域17により、ソース／ドレインたる第1の不純物領域20間に伸長する空乏層の伸びを一層効果的に抑制することができ、この空乏層の過度の伸びによる各トランジスタ21の閾値 V_{th} の低下を効果的に防止することができる。

【0029】

また、前記第2の不純物領域17を各ゲート電極(14)下で従来に比較して長く伸長させることができることから、前記したとは反対に、空乏層の伸びの抑制効果の低減を招くことなく各不純物領域17の濃度の低減を図ることが可能になる。

【0030】

従って、本発明に係る前記各 n 型 MOS トランジスタ 21 (21a、21b および 21c) によれば、それぞれのソース/ドレイン (20 および 20) 間に電圧を印加した状態で、各ゲート電極 (14a、14b および 14c) に印加されるゲート電圧を制御することにより、適正な閾値電圧 V_{th} でもってドレイン電流を適正に制御することができる。

【0031】

具体例 1 では、第 2 の不純物領域 17 の形成のためのイオン注入に、注入角度 θ が零でない斜め注入を用いる方法を示したが、以下に示す具体例 2 および 3 では、注入角度 θ を零とする直角注入を採用することができる。

【0032】

〈具体例 2〉

図 2 (a) に示されているように、半導体基板 10 上には、具体例 1 の図 1 (b) におけると同様に、素子分離領域 11 (11a および 11b) により活性領域 12 (12a、12b および 12c) が区画され、該活性領域上にはゲート酸化膜 13 が形成されている。また、ゲート酸化膜 13 および素子分離領域 11 上には、これらを覆う導電層 14 が形成され、該導電層上には、ゲート電極のためのエッチングマスク 15 (15a、15b および 15c) が形成されている。

【0033】

具体例 2 では、図 2 (a) に示された各エッチングマスク 15 の幅寸法は、それぞれの所望のゲート長寸法 (W_1 または W_2) よりも小さく設定されている。

すなわち、所望のゲート長寸法 W_1 および W_2 がそれぞれ例えば $0.16 \mu m$ および $0.28 \mu m$ であるとき、これよりも小さな値である例えば $0.12 \sim 0.14 \mu m$ および $0.24 \sim 0.26 \mu m$ の幅寸法のエッチングマスク 15a および 15b がそれぞれ形成される。

【0034】

このようなエッチングマスク 15a および 15b は、図 2 (a) に仮想線で示されているように、所望のゲート長寸法 W_1 および W_2 である例えば $0.16 \mu m$ および $0.28 \mu m$ の幅寸法を有するエッチングマスク 15a および 15b を導電層 14 上に形成した後、これらエッチングマスク 15 を等方性エッチング液

を用いて全体的にエッチングすることにより、 $0.12 \sim 0.14 \mu\text{m}$ および $0.24 \sim 0.26 \mu\text{m}$ の幅寸法のエッチングマスク 15 a および 15 b に加工することができる。

【0035】

また、これに代えて、導電層 14 上に、 $0.12 \sim 0.14 \mu\text{m}$ および $0.24 \sim 0.26 \mu\text{m}$ の幅寸法を有するエッチングマスク 15 a および 15 b を直接的に形成することができる。

【0036】

所望のゲート長寸法 $W1$ および $W2$ に満たない幅寸法を有するエッチングマスク 15 を用いて、例えばボロンのような不純物がイオン注入法により注入され、これにより、各マスク 15 下に前記したと同様な一对の第 2 の不純物領域 17 が形成される。

【0037】

具体例 2 では、各エッチングマスク 15 は、所望のゲート長寸法 $W1$ および $W2$ に満たない幅寸法を有することから、前記した不純物の注入方向は、図 2 (b) に示されているように、半導体基板 10 の表面の垂直線 16 に沿って、半導体基板 10 に直角な方向で行うことができる。この直角イオン注入により、各一对の不純物領域 17 は、それぞれのマスク 15 の作用により、各マスク下でそれぞれの幅寸法に応じた間隔 $W3$ および $W4$ をおくように、形成される。

【0038】

エッチングマスク 15 a および 15 b の幅寸法が、例えば $0.12 \sim 0.14 \mu\text{m}$ および $0.24 \sim 0.26 \mu\text{m}$ であるとき、各マスクに対応した一对の不純物領域 17 の間隔 $W3$ および $W4$ は、例えばそれぞれ $0.1 \mu\text{m}$ および $0.25 \mu\text{m}$ となる。

【0039】

各エッチングマスク 15 毎に対をなす不純物領域 17 が一括的に形成された後、所望のゲート長寸法 $W1$ および $W2$ と各エッチングマスク 15 の幅寸法の差の半値に相当する厚さ寸法の絶縁材料層が各エッチングマスク 15 を覆うように導電層 14 上に堆積され、この堆積された絶縁材料層のエッチング処理により、各

エッチングマスク 1 5 の両側には、図 2 (c) に示されているように、サイドウォール 2 2 が形成される。

【 0 0 4 0 】

各エッチングマスク 1 5 は、それぞれの両側に形成されたサイドウォール 2 2 により、実質的に所望のゲート長寸法 W_1 および W_2 に一致する幅寸法を与えられる。

【 0 0 4 1 】

従って、サイドウォール 2 2 を有する各エッチングマスク 1 5 を用いて、前記したと同様に導電層 1 4 に選択的なエッチング処理を施すことにより、図 2 (d) に示されているように、所望のゲート長寸法 W_1 および W_2 を有するゲート電極 1 4 a、1 4 b および 1 4 c を形成することができる。必要に応じて、このゲート電極 1 4 a、1 4 b および 1 4 c をマスクとする前記したと同様なイオン注入により、LDD 領域 1 8 を形成することができる。

【 0 0 4 2 】

また、各ゲート電極 1 4 a、1 4 b および 1 4 c に、前記したと同様なサイドウォール 1 9 を形成した後、これらを選択マスクとする前記したと同様なイオン注入により、ソース／ドレインとなる各不純物領域 2 0 を形成することができる。

【 0 0 4 3 】

図 2 に示した具体例 2 の方法によれば、斜めイオン注入を用いることなく、直角イオン注入により、各トランジスタ 2 1 のゲート電極 (1 4 a、1 4 b および 1 4 c) 下で、ソース／ドレインとなる第 1 の不純物領域 2 0 から相互に相近づくように伸長する前記不純物領域 1 7 を従来に比較して長く伸長させて形成することができ、これにより、ソース／ドレイン 2 0 間の空乏層の過度の伸びを効果的に抑制することができることから、各トランジスタ 2 1 の閾値 V_{th} の低下を効果的に防止することができる。

【 0 0 4 4 】

〈具体例 3〉

具体例 2 では、所望のゲート長寸法 W_1 および W_2 に満たない幅寸法を有する

エッチングマスク 1 5 を用いて、各マスク 1 5 下に一对の第 2 の不純物領域 1 7 を形成した後、各マスク 1 5 にサイドウォール 2 2 を形成した例を示したが、具体例 3 は、各マスク 1 5 のサイドウォール 2 2 を不要とする例を示す。

【 0 0 4 5 】

図 3 (a) に示されているように、半導体基板 1 0 上には、具体例 2 を示す図 2 (b) におけると同様に、素子分離領域 1 1 (1 1 a および 1 1 b) により活性領域 1 2 (1 2 a 、 1 2 b および 1 2 c) が区画され、該活性領域上にはゲート酸化膜 1 3 が形成されている。また、ゲート酸化膜 1 3 および素子分離領域 1 1 上には、これらを覆う導電層 1 4 が形成され、該導電層上には、ゲート電極のためのエッチングマスク 1 5 (1 5 a 、 1 5 b および 1 5 c) が形成されている。

【 0 0 4 6 】

図 3 (a) に示す例では、具体例 2 におけると同様に、各エッチングマスク 1 5 (1 5 a 、 1 5 b および 1 5 c) の幅寸法は、所望のゲート長寸法 W_1 および W に満たない。

所望のゲート長寸法 W_1 および W_2 に満たない幅寸法を有するこれらエッチングマスク 1 5 を用いて、例えばボロンのような不純物が具体例 2 で説明したと同様な直角イオン注入により注入され、これにより、各マスク 1 5 下に前記したと同様な一对の第 2 の不純物領域 1 7 が形成される。

【 0 0 4 7 】

これら不純物領域 1 7 の形成後、各マスク 1 5 をエッチングマスクとして、プラズマエッチング装置を用いて導電層 1 4 の不要な部分が除去される。

この選択エッチングに際し、前記プラズマエッチング装置の運転条件である例えばエッチングガスの種類、エッチングガスの成分比、エッチングガスの反応室への供給量 (s c c m) あるいは高周波電力とを適宜変更することにより、図 3 (b) に示されているように、各エッチングマスク 1 5 の下方に、下方へ向けて幅寸法を増大させるテーパ状のすなわち、台形の横断面形状を有するゲート電極 1 4 a 、 1 4 b および 1 4 c がそれぞれ形成される。各ゲート電極 1 4 a 、 1 4 b および 1 4 c の断面で見てその下辺の長さ寸法は、所望のゲート長寸法 W_1 お

よびW2にそれぞれほぼ等しい。

【0048】

この台形横断面形状を有する各ゲート電極14a、14bおよび14cをマスクとするイオン注入により、図3(c)に示されているように、前記したと同様なLDD領域18が形成され、また各ゲート電極14a、14bおよび14cの傾斜側面に、前記したと同様なサイドウォール19が形成される。このサイドウォール19の形成後、これらを選択マスクとする前記したと同様なイオン注入により、ソース/ドレインとなる各不純物領域20が形成される。

【0049】

図3に示した具体例3の方法によれば、斜めイオン注入を用いることなく、直角イオン注入により、各トランジスタ21のゲート電極(14a、14bおよび14c)下で、ソース/ドレインとなる第1の不純物領域20から相互に相近づくように伸長する前記不純物領域17を従来に比較して長く伸長させて形成することができ、これにより、ソース/ドレイン20間の空乏層の過度の伸びを効果的に抑制することができることから、各トランジスタ21の閾値 V_{th} の低下を効果的に防止することができる。

しかも、各ゲート電極14a、14bおよび14cの形成時、それらのエッチングマスク15にサイドウォール22を形成することなく、ゲート電極14a、14bおよび14cを形成することができることから、工程の簡素化を図ることが可能になる。

【0050】

【発明の効果】

本発明に係る前記製造方法では、ゲート電極の形成に先立ち、該ゲート電極の形成に使用されるエッチングマスクを選択マスクとして、ソース/ドレイン間での空乏層の伸長を抑制する前記第2の不純物領域のための不純物の注入が行われる。

前記選択マスクの幅寸法は、所定のゲート長を規定する幅寸法以下に設定することができ、この選択マスクを用いたイオン注入により、前記したとおり、ゲート電極毎のばらつき無く、各ゲート電極下に従来よりも長く伸長する第2の不純

物領域を形成することが可能となることから、従来に比較して効果的に前記空乏層の伸びを効果的に抑制することができ、この空乏層の過度の伸長による各トランジスタの閾値の低下を効果的に防止することができる。

【図面の簡単な説明】

【図 1】

本発明に係る電界効果型トランジスタの製造方法を示す具体例 1 の工程図である。

【図 2】

本発明に係る電界効果型トランジスタの他の製造方法を示す具体例 2 の工程図である。

【図 3】

本発明に係る電界効果型トランジスタのさらに他の製造方法を示す具体例 3 の工程図である。

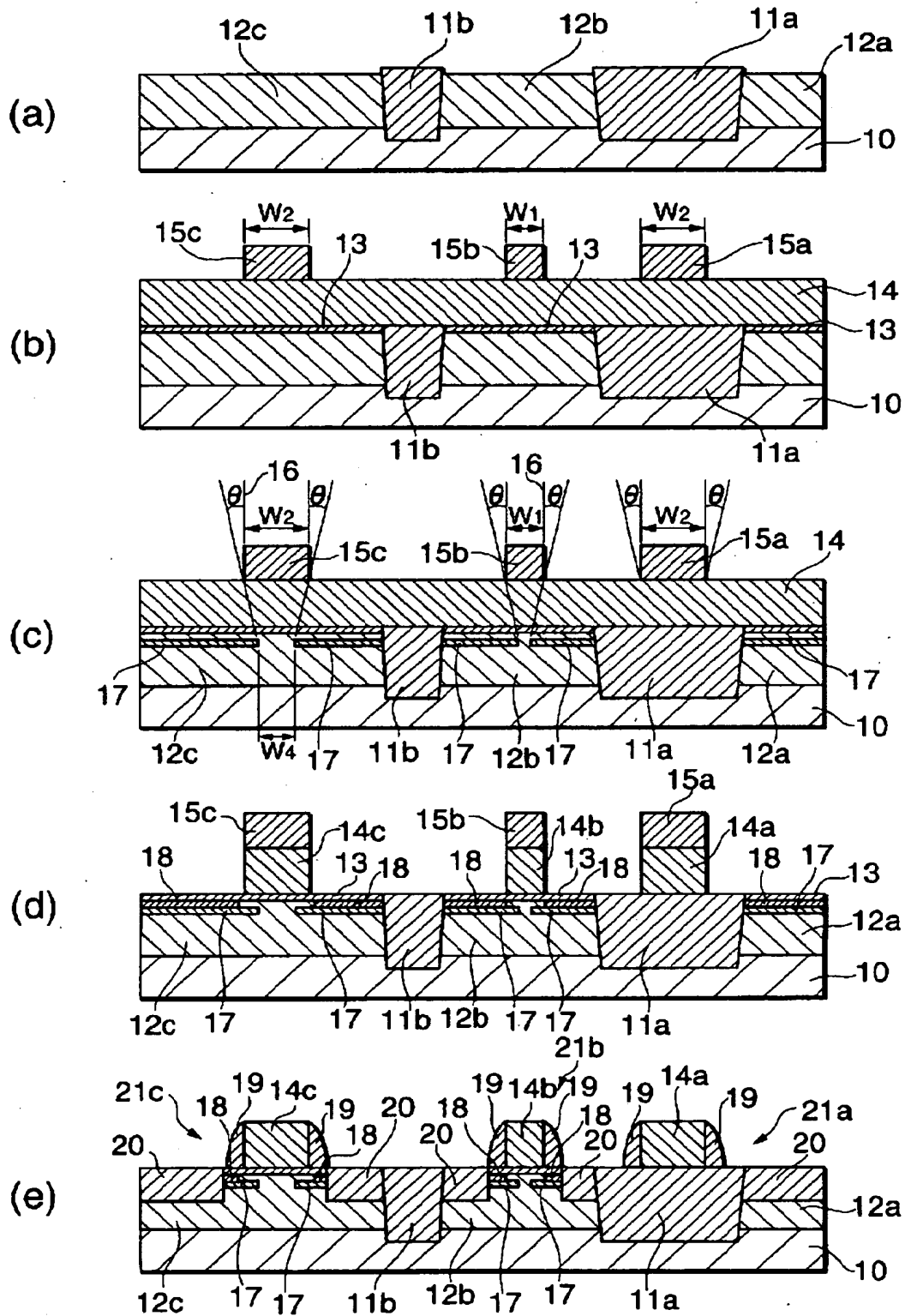
【符号の説明】

- 1 0 半導体基板
- 1 4 導電層
- 1 4 a、1 4 b、1 4 c ゲート電極
- 1 5 (1 5 a、1 5 b、1 5 c) エッチングマスク
- 1 7 第 2 の不純物領域
- 2 0 第 1 の不純物領域
- 2 1 (2 1 a、2 1 b および 2 1 c) MOS トランジスタ
- 2 2 エッチングマスクのサイドウォール

特 2 0 0 1 - 2 1 4 6 1 3

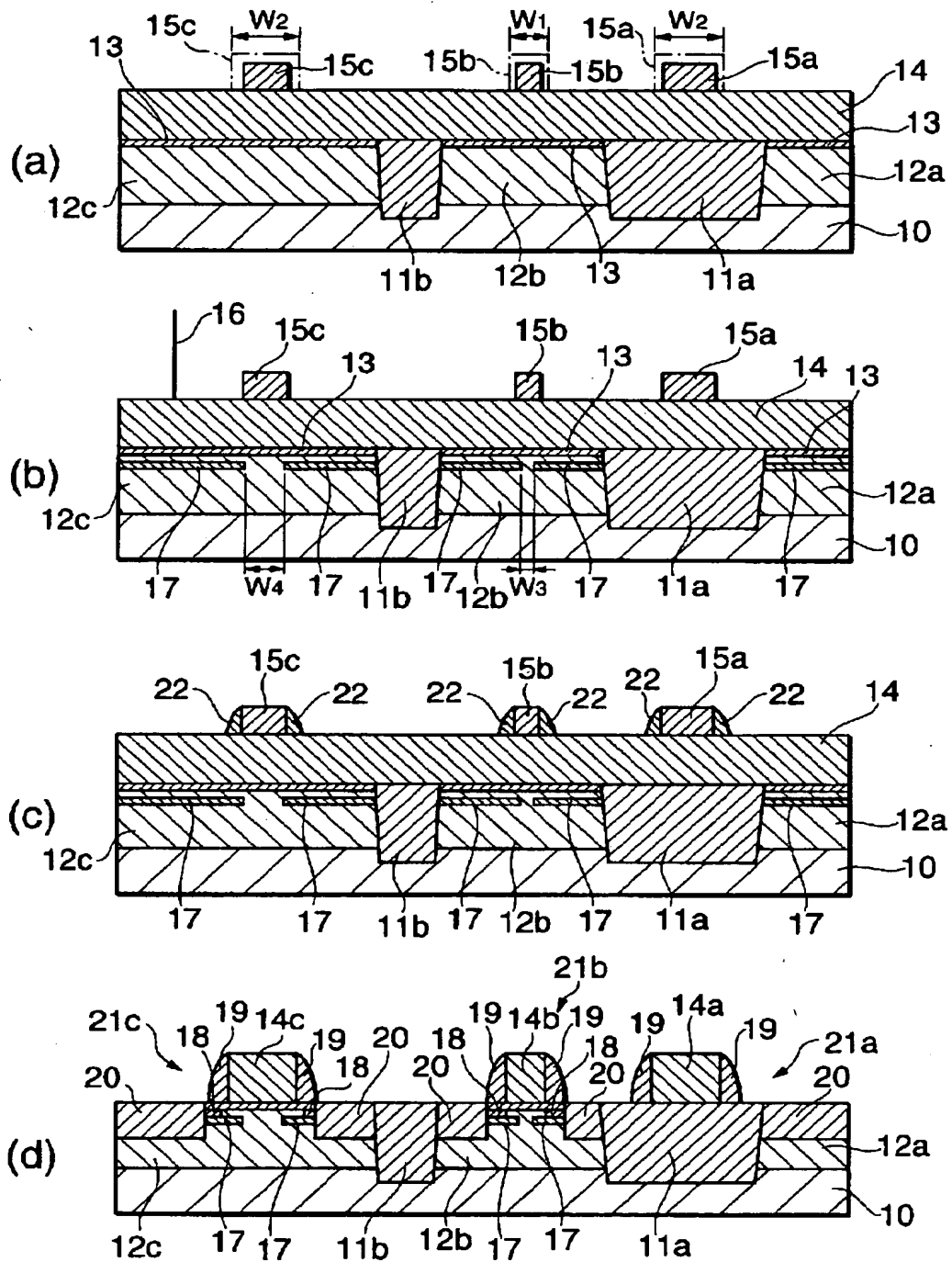
【書類名】 図面

【図 1】



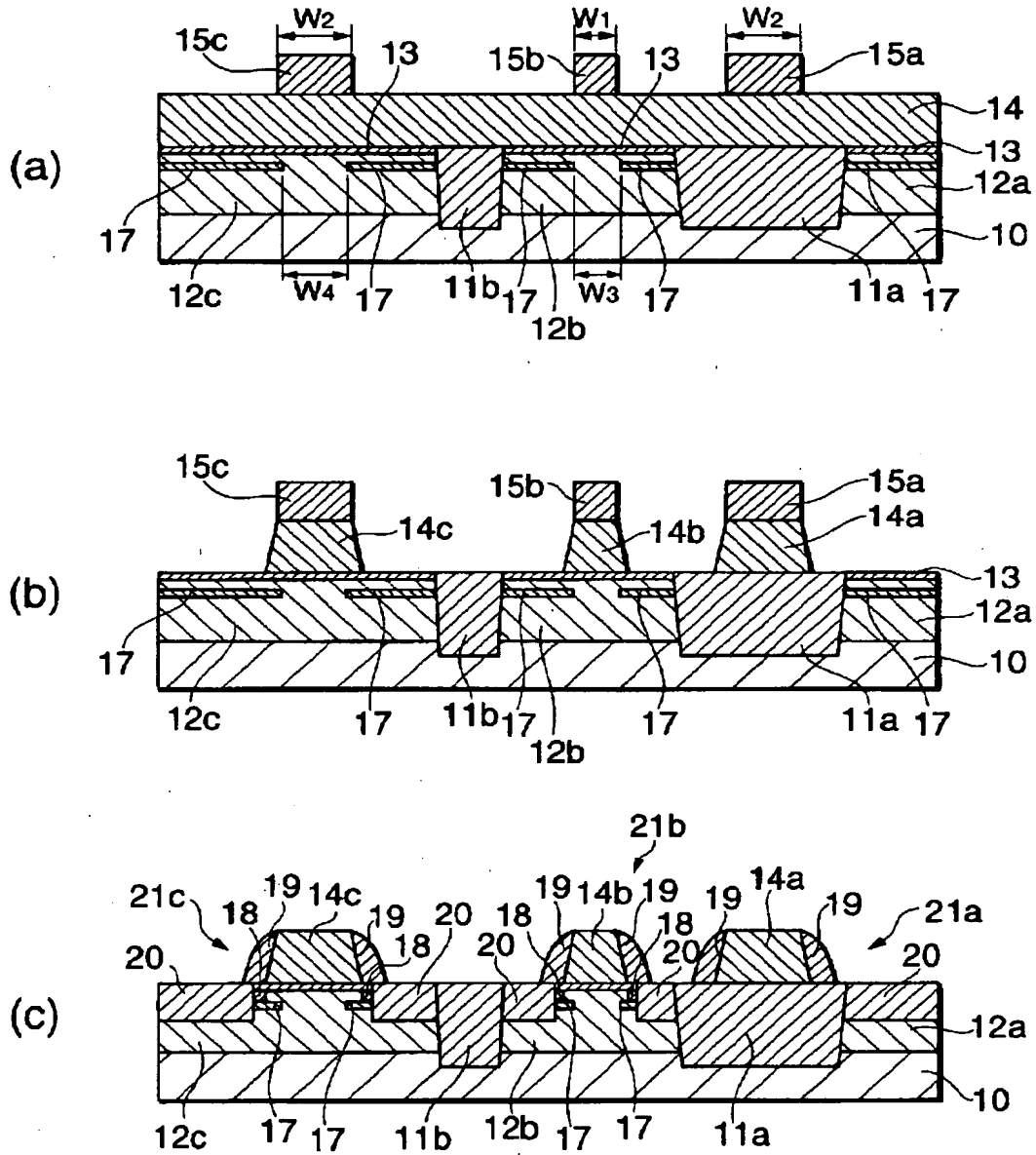
具体例 1

【図 2】



具体例 2

【図 3】



具体例 3

【書類名】 要約書

【要約】

【課題】 電気特性のばらつきを招くことなく、しかも比較的低い不純物濃度でソース／ドレイン間の空乏層の伸びを効果的に抑制し得る電界効果型トランジスタを製造することができる方法を提供する。

【解決手段】 半導体基板 1 0 上にゲート電極のための導電層 1 4 を形成した後、該導電層上にその不要部分をフォトリソグラフィ技術で除去すべく、前記ゲート電極のためのエッチングマスク 1 5 を形成し、該エッチングマスクをイオン注入用マスクとして、前記導電層の下方に位置する前記半導体基板の所定領域に不純物領域 1 7 を形成するための不純物をイオン注入法により注入する。

【選択図】 図 1

特 2001-214613

認定・付加情報

特許出願の番号	特願 2001-214613
受付番号	50101037946
書類名	特許願
担当官	第五担当上席 0094
作成日	平成13年 7月17日

<認定情報・付加情報>

【提出日】	平成13年 7月16日
-------	-------------

次頁無

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	東京都港区虎ノ門1丁目7番12号
氏 名	沖電気工業株式会社